

JP2000285001

Publication Title:

SEMICONDUCTOR FLASH MEMORY DEVICE AND ITS CONTROL METHOD

Abstract:

PROBLEM TO BE SOLVED: To equalize the writing frequency set to a flash memory and to increase the lifetime of a semiconductor flash memory device by converting uniquely and updating the logical block address received from a host computer into a physical block address by means of two available parameters.

SOLUTION: An interface part 1 stores temporarily the access request given from a host computer in a buffer memory 6 and sends it to an address arithmetic part 2. A control part 7 sends two available parameters stored in a register part 3 to the part 2, converts uniquely a logical block address into a physical block address with an arithmetic operation, accesses a data part 13 of a flash memory part 8 and expands plural defective block addresses and their paired substrate block addresses into an address reference table 5. Then a defective physical block address received from the part 2 is converted into a substitute block address by an address conversion part 4 and the data stored in the part 8 are updated.

Data supplied from the esp@cenet database - <http://ep.espacenet.com>

This Patent PDF Generated by Patent Fetcher(TM), a service of Patent Logistics, LLC

Patent provided by Sughrue Mion, PLLC - <http://www.sughrue.com>

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-285001
(P2000-285001A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 6 F 12/00	5 4 2	G 0 6 F 12/00	5 4 2 K 5 B 0 1 5
12/02	5 1 0	12/02	5 1 0 A 5 B 0 2 5
	5 7 0		5 7 0 A 5 B 0 6 0
G 1 1 C 11/41		G 1 1 C 11/34	3 0 1 E 5 B 0 8 2
16/02		17/00	6 1 2 Z
審査請求 未請求 請求項の数5 O L (全 14 頁)			

(21) 出願番号 特願平11-94063

(22) 出願日 平成11年3月31日 (1999. 3. 31)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 山下 博行

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

Fターム(参考) 5B015 HH05 JJ03 JJ21 JJ31 JJ44

KB52 NN09 PP01 PP06

5B025 AA01 AA07 AD01 AE01

5B060 AA08 AA20 AC11

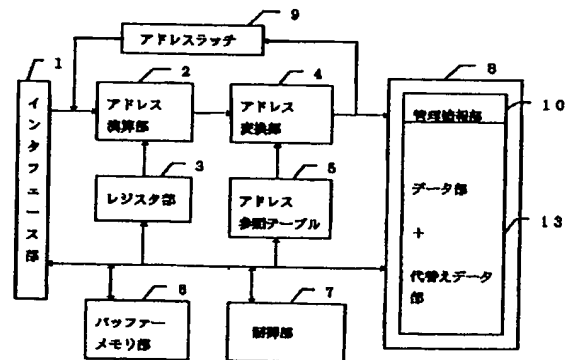
5B082 EA04 JA06

(54) 【発明の名称】 半導体フラッシュメモリ装置及びその制御方法

(57) 【要約】

【課題】 書き換え回数に制限のある半導体フラッシュメモリ装置の書き換え回数の均一化と不良ブロックの代替えを、少ないワークメモリで安価に実現する方式を提供するものである。

【解決手段】 物理アドレス空間上にデータとブランク領域を持ち、論理ブロックアドレスに第1の可変パラメータでオフセットを与え、且つ、ブランク領域を飛び越えて連続的にアドレス展開することによって、アドレス変換を一意的決定するアドレス演算方式において、パワーオンリセット等の一定周期毎に、可変パラメータを規則的に更新するとともに、ブランク領域と部分データを交換する手段を具備し、長期間の使用の中で、すべての論理ブロックが、物理ブロックを平均的にアクセスことを特徴とする。



【特許請求の範囲】

【請求項1】ホストコンピュータシステムに接続して用いられ、ブロック単位でアドレス可能なタイプの半導体フラッシュメモリ装置において、電氣的に書込み・読み出しが可能な不揮発性メモリからなり、管理情報部、ブランク領域を含むデータ部、代替えデータ部を内蔵しているフラッシュメモリ部と、前記ホストコンピュータシステムと接続して、データの授受とアクセス要求を受け取るインタフェース部と、揮発性のワークメモリにて構成され、前記フラッシュメモリ部のデータや、ホストコンピュータから受信したデータを一時的に記憶しておくバッファメモリ部と、論理ブロックアドレスを物理ブロックアドレスに変換する際にアドレスの変位を与える第1の変換パラメータと、物理メモリ空間上のブランク領域の位置を指し示す第2の変換パラメータを使って、論理ブロックアドレスを物理ブロックアドレスに一次的に演算して変換するアドレス演算部と、揮発性のワークメモリで構成され、前記アドレス演算部に使用する前記2つの可変パラメータを格納するレジスタ部と、マイクロコントローラや相当のハードウェアロジックで構成され、ホストコンピュータからアクセス要求があった場合のフラッシュメモリ部のデータのアクセス等、本装置の主要な手段を実行する制御部と、前記フラッシュメモリ部の中の管理情報部に一括して格納されている前記2つの可変パラメータを揮発性のワークメモリの前記レジスタ部に展開する手段と、一定周期毎に、前記第2の変換パラメータを一定量減算し、同時に前記フラッシュメモリ部上の一定幅のデータとブランク領域を交換すること、及び、前記第2の変換パラメータの値と前記第1の変換パラメータの値が一致する場合は、第1の変換パラメータの値を一定量加算し、これら2つの可変パラメータを、前記フラッシュメモリ部の管理情報部に格納する手段を具備する半導体フラッシュメモリ装置。

【請求項2】ホストコンピュータシステムに接続して用いられ、ブロック単位でアドレス可能なタイプの半導体フラッシュメモリ装置において、電氣的に書込み・読み出しが可能な不揮発性メモリからなり、管理情報部、ブランク領域を含むデータ部、代替えデータ部を内蔵しているフラッシュメモリ部と、前記ホストコンピュータシステムと接続して、データの授受とアクセス要求を受け取るインタフェース部と、揮発性のワークメモリにて構成され、前記フラッシュメモリ部のデータや、ホストコンピュータから受信したデータを一時的に記憶しておくバッファメモリ部と、論理ブロックアドレスを物理ブロックアドレスに変換する際にアドレスの変位を与える第1の変換パラメータと、物理メモリ空間上のブランク領域の位置を指し示す第2の変換パラメータを使って、論理ブロックアドレスを物理ブロックアドレスに一次的に演算して変換するアドレス演算部と、揮発性のワークメモリで構成され、前記アドレス演算部に使用する前記

2つの可変パラメータを格納するレジスタ部と、揮発性のワークメモリで構成され、不良ブロック物理アドレスとその代替えのブロックアドレスを対で格納するアドレス参照テーブルと、前記アドレス演算部の出力である物理ブロックアドレスが、不良ブロックアドレスであるか否かを前記アドレス参照テーブルを使って随時検査し、そのブロックアドレスが一致した場合は関連する代替えのブロックアドレスを出力するアドレス変換部と、前記アドレス演算部の出力である物理ブロックアドレスは、前記フラッシュメモリ部のデータ部をアクセスし、前記代替えのブロックアドレスは、前記フラッシュメモリ部の代替えデータ部をアクセスするアクセス手段と、マイクロコントローラや相当のハードウェアロジックで構成され、ホストコンピュータからアクセス要求があった場合のフラッシュメモリ部のデータのアクセス等、本装置の主要な手段を実行する制御部と、前記フラッシュメモリ部の中の管理情報部に一括して格納されている前記2つの可変パラメータと、複数の不良ブロックアドレス及びそれと対をなす代替えブロックアドレスを揮発性のワークメモリの前記レジスタ部と前記アドレス参照テーブルに展開する手段と、一定周期毎に、前記第2の変換パラメータを一定量減算し、同時に前記フラッシュメモリ部上の一定幅のデータとブランク領域を交換すること、及び、前記第2の変換パラメータの値と前記第1の変換パラメータの値が一致する場合は、更に第1の変換パラメータの値を一定量加算し、これら2つの可変パラメータを、前記フラッシュメモリ部の管理情報部に格納する手段を具備する半導体フラッシュメモリ装置。

【請求項3】ホストコンピュータシステムに接続して用いられ、ブロック単位でアドレス可能なタイプの半導体フラッシュメモリ装置において、電氣的に書込み・読み出しが可能な不揮発性メモリからなり、管理情報部と、データ部、代替えデータ部及びブランク領域を内蔵しているフラッシュメモリ部と、前記ホストコンピュータシステムと接続して、データの授受とアクセス要求を受け取るインタフェース部と、揮発性のワークメモリにて構成され、前記フラッシュメモリ部のデータや、ホストコンピュータから受信したデータを一時的に記憶しておくバッファメモリ部と、論理ブロックアドレスを物理ブロックアドレスに変換する際にアドレスの変位を与える第1の変換パラメータと、物理メモリ空間上のブランク領域の位置を指し示す第2の変換パラメータを使って、論理ブロックアドレスを物理ブロックアドレスに一次的に演算して変換するアドレス演算部と、揮発性のワークメモリで構成され、前記アドレス演算部に使用する前記2つの可変パラメータを格納するレジスタ部と、揮発性のワークメモリで構成され、不良ブロック物理アドレスとその代替えのブロックアドレスを対で格納するアドレス参照テーブルと、前記アドレス演算部の出力である物理ブロックアドレスが、不良ブロックアドレスであるか

否かを前記アドレス参照テーブルを使って随時検査し、そのブロックアドレスが一致した場合は関連する代替えのブロックアドレスを出力するアドレス変換部と、前記代替えのブロックアドレスを一時的に格納し、再びアドレス演算を行うためにフィードバックするためのアドレスラッチと、マイクロコントローラや相当のハードウェアロジックで構成され、ホストコンピュータからアクセス要求があった場合のフラッシュメモリ部のデータのアクセス等、本装置の主要な手段を実行する制御部と、前記フラッシュメモリ部の中の管理情報部に一括して格納されている前記2つの可変パラメータと、複数の不良ブロックアドレス及びそれと対をなす代替えブロックアドレスを揮発性のワークメモリの前記レジスタ部と前記アドレス参照テーブルに展開する手段と、一定周期毎に、前記第2の可変パラメータを一定量減算し、同時に前記フラッシュメモリ部上の一定幅のデータとブランク領域を交換すること、及び、前記第2の可変パラメータの値と前記第1の可変パラメータの値が一致する場合は、更に第1の可変パラメータの値を一定量加算し、これら2つの可変パラメータを、前記フラッシュメモリ部の管理情報部に格納する手段を具備する半導体フラッシュメモリ装置。

【請求項4】前記請求項1、2、3に記載の手段に於いて、一定周期毎に、上記第2の可変パラメータを一定量加算し、同時に前記フラッシュメモリ部上の一定幅のデータとブランク領域を交換すること、及び、前記第2の可変パラメータの値と前記第1の可変パラメータの値が一致する場合は、更に第1の可変パラメータの値を一定量減算し、これら2つの可変パラメータを、前記フラッシュメモリ部の管理情報部に格納する手段を具備する半導体フラッシュメモリ装置。

【請求項5】前記請求項2、3に記載の不良ブロックの代替えを行うアドレス変換部は、不良ブロックの検出手順として、当該ブロックのデータを読み出した後、そのブロックのデータを解析して不良ブロックであることを判別して後、ブロックアドレスの一致検出と代替えのブロックアドレスを出力するようにした、半導体フラッシュメモリ装置及びその制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性で、一括消去可能な半導体フラッシュメモリ装置に関し、特に書き換え回数に制限があるフラッシュメモリへの書き換え回数を均一化し、寿命の延長を達成する半導体フラッシュメモリ装置、及びその制御方法に関する。

【0002】

【従来の技術】パーソナルコンピュータやワークステーション等のホストコンピュータシステムでは、データ処理の外部記憶装置に大容量、高速、ビット単価の安いものが要求されている。また、ノートタイプのパーソナル

コンピュータ等の携帯型情報端末では、更に、小型軽量かつ物理的な衝撃に強く、低消費電力が要求されている。

【0003】従来、前記ホストコンピュータ等の外部記憶装置には、ハードディスク装置（以後HDDと呼ぶ）やフロッピーディスク装置（以後FDDと呼ぶ）が一般的に使われてきた。しかしながら、HDDは大容量で、ビット単価は安い、容積・重量が大きく、駆動部分を持っているため、衝撃に弱く、携帯に適さない。他方、FDDは、容量が小さく、また、動作時には駆動装置が必要で、そのために消費電力が多いという欠点がある。

【0004】近年、これに変わるものとしてSRAMやDRAMなどの半導体メモ리카ードも検討されてきたが、これらのカードは揮発性であり、データを保持するためにバッテリーバックアップが必要である。また、SRAMカードは、DRAMカードに比べ、集積度があがらず、ビット単価が高くなる欠点がある。DRAMカードは、ビット単価が安く、大容量であるが、動作時、及びデータ保持時の消費電力が大きく、携帯機器の外部記憶装置に不向きである。

【0005】最近ではこれらの外部記憶装置に変わるものとしてフラッシュEEPROMを内蔵した半導体フラッシュメモリ装置（フラッシュメモ리카ードともいう）が使用されるようになってきた。この半導体フラッシュメモリ装置は、不揮発性でかつ、書き換え可能、高集積・軽量、また、半導体素子で構成され、駆動部分がないため対衝撃性にも強く携帯性に富んでいる。データ保持時は電圧の印加が不要であるため、低消費電力である。また、フロッピーディスクより大容量である。

【0006】このため、フラッシュEEPROMを使った半導体フラッシュメモリ装置は、ノートタイプのパーソナルコンピュータやPDA、電子スチルカメラなどの携帯機器の外部記憶装置として最適である。しかしながら、フラッシュEEPROMは、書き換え回数の制限という固有の問題がある。

【0007】ところで、ホストコンピュータが外部記憶装置にアクセスする場合、ホストコンピュータに内蔵されるオペレーションシステムやカードサービス、ソケットサービス等のファイルシステムを経由してアクセスする。この場合、半導体フラッシュメモリ装置は、HDDをエミュレーションするように制御される。また、ホストコンピュータシステムがアクセスするアドレスの最小単位は、セクターと呼ばれ、512バイトのシーケンシャルデータである。このセクターアドレスは、0番地から始まり、外部記憶装置の容量の仕様値までの連続したアドレスと考えられる。

【0008】現在のHDDのファイルシステムでは、データをファイルという単位で外部記憶装置に格納している。ファイルは、データ部とファイル管理情報（たとえばFAT（File Allocation Table）やディレクトリ）

に分けてディスク上に格納される。データ部は、それぞれのファイル毎に、指定されるセクタアドレスに格納され、一度にアクセスする容量は、一般に大セクタとなる。また、アクセス回数は、そのファイルの使用頻度に依存する。ところが、ファイル管理情報は、HDD全体のファイルの情報を一括して管理しており、特定のセクタアドレスに格納されている。また、前記ファイルへのアクセスが発生するたびに、ファイル管理情報が参照され、それぞれのファイルの発生・消滅が生じる毎に、このファイル管理情報が書き換えられる。従って、ファイル管理情報のデータは、少ないセクタ数であるが、前記データ部に比べ圧倒的に多いアクセス、及び書き換え回数が発生することとなる。つまり、ファイル管理情報は複数のファイルについての管理情報が集中しておかれており、ファイル管理情報（FATやディレクトリ）の置かれているセクタへのアクセスが集中し、特定のセクタの書き換え回数が突出することになる。

【0009】また、個別のファイルのデータ部に関しても、ファイルの種類によって、また、アプリケーションによるアクセス形態によって書き換え回数が極端に異なる場合が多い。一般のプログラムファイル等は、読み出しが中心に行われ、最後まで書き換えられない場合もある。文書データ等は書き換えが頻繁に行われる。また、ワークデータと呼ばれる一時的なデータは、1つのアプリケーションが動作中に頻繁に書き換えられる場合がある。このようにファイルの種類や使われ方、属性によって書き換え回数が極端に異なってくる。つまり、ホストコンピュータがアクセスするセクタアドレス毎に書き換え回数が異なっており、極端に少ないセクタと、極端に集中するセクタが存在することとなる。この様に、ホストコンピュータのアクセスするセクタの書き換え回数は、セクタアドレス毎に極端な偏重が見られる。

【0010】一括消去型のフラッシュメモリの書き換え回数の制限は、半導体技術の進歩によって伸びてきているが、現在のところ仕様上で10万回から100万回程度である。これを超えて使用すれば、書込み・読み出し困難になり、そのブロック部分の使用ができなくなる。一方、これまでの説明の通り、ホストコンピュータが外部記憶装置へアクセスする場合、各セクタへの書き換え回数に差が出る。この結果、装置の寿命が、書き換え回数の多いセクタによって制限されることとなる。

【0011】これを、回避するための概念は、ホストコンピュータがアクセスするセクタアドレス（これを論理アドレスと呼ぶ）を変換して、フラッシュメモリの実質的なセクタアドレス（これを物理アドレスと呼ぶ）へアクセスする方法である。論理アドレスを物理アドレスに変換するにあたり、積算されてきているそれぞれの物理アドレス毎の書き換え回数を参照して、書き換え回数の少ない物理アドレスへ優先的に書き込みを行う方法である。アドレスの変換方法は、テーブルが用いられてき

た。このテーブルによって、論理アドレスから物理アドレスに即座に参照可能となる。しかしながら、このテーブルは、制御対象となるメモリ容量が多くなるとテーブルが大きくなるという欠点がある。

【0012】以下に、論理アドレスのメモリ空間、物理アドレスのメモリ空間、アドレス変換の単位、アドレス変換テーブルの概要、動作の説明をします。

【0013】図6に、ホストコンピュータが指定する論理セクタとそれに関連する論理ブロックのアドレス空間を示している。同図に示すように、ホストコンピュータが指定するアドレスの基本単位は、512バイトのシーケンシャルデータである論理セクタである。この論理セクタは、先頭セクタから、順番に連続したアドレスが割り振られる。また、ホストコンピュータとは直接関係しないが、便宜的に16セクタ毎に、ブロックに区切られている。この論理ブロックは、同様に先頭ブロックから順に連続したアドレスが割り振られている。このことは、論理セクタのアドレスの5ビット目以上が論理ブロックアドレスと同一になる。

【0014】図5は、フラッシュメモリ部の物理セクタと物理ブロックのアドレス空間を示している。同様に、フラッシュメモリの最小アドレス単位は、528バイトのシーケンシャルデータである物理セクタとなる。この物理セクタは、先頭セクタから、順番に連続したアドレスが割り振られている。また、16セクタ毎に、物理ブロックに区切られている。この物理ブロックは、同様に先頭ブロックから順に連続したアドレスが割り振られている。つまり、物理セクタのアドレスの5ビット目以上が物理ブロックアドレスと等しいことになる。528バイトの物理セクタは、512バイトのデータと16バイトの冗長データを含んでいる。512バイトのデータは論理セクタのデータと同じである。16バイトの冗長データは、本装置が独自に使用するデータで、ECC（エラー訂正コード）、当該物理ブロックを使用している論理ブロックのアドレスデータ、当該ブロックの書き換え回数の積算値、物理セクタまたは物理ブロックの状態を示すフラグであらう。尚、ブロックに関する情報は、ブロック内の先頭セクタの冗長部に書かれているものとする。また、セクタに関する情報は、それぞれの物理セクタの冗長部に書かれているものとする。

【0015】フラッシュメモリの場合、セクタへの書込みを行う前に、書込みエリアのデータを消去する必要がある。物理セクタは、書込み・読み出しの基本単位であり、物理ブロックは、フラッシュメモリ固有の特性である消去を行う単位である。従って、書込みの単位と消去の単位が異なることとなる。本従来例では、論理アドレスを物理アドレスに変換する単位が、ブロックアドレスとなっている。したがって、論理ブロックアドレスが、物理ブロックアドレスへ、変換されるのである。理由は、消去の単位がブロック単位であること、つまり、

書き換え回数は、消去回数と同一であり、従って、ブロック単位で書き換え回数を管理できることである。また変換に使われるテーブルのサイズを最適化するために適当な単位である。

【0016】64MB（メガバイト）の半導体フラッシュメモリ装置の場合、128K個の物理セクタから構成される。また、ブロックの数は、8K個である。セクターアドレスは0から128Kまで割り振られ、アドレスの4ビット目以上がブロックアドレスとなる。

【0017】図12は、従来の実施例を示すブロック図である。同図に示すように、インタフェース回路1は、ホストコンピュータ（図示しない）とのインタフェースプロトコルを実現するための回路であり、ホストコンピュータからの書込みや読み出し等の実効命令（コマンド）を格納するコマンドレジスタ、データの授受をバッファするデータレジスタ、ホストが指示するデータのアドレスである論理アドレスを一時的に格納する論理アドレスレジスタ半導体フラッシュメモリ装置の状態やエラーの内容を通知するステータスレジスタ、エラーレジスタを含んでいる。論理アドレスレジスタは、一般にセクタレジスタ、ヘッドレジスタ、シリンダーレジスタ等から構成されている。尚、これらのレジスタは図示していない。

【0018】フラッシュメモリ部8は、ファイルやデータを不揮発に格納するための、半導体フラッシュメモリ装置の主要な記憶部分である。

【0019】アドレス変換部20は、ホストコンピュータシステムが指定する論理セクターアドレスの5ビット以上、つまり論理ブロックアドレスを、物理ブロックアドレスに変換する部分である。

【0020】テーブル21はアドレス変換テーブル27、書き換え回数積算テーブル26、ブロック状態テーブル25の3種のテーブルから構成されている。

【0021】制御部7は、マイクロコントローラや相当のハードウェアロジックで構成され、ホストコンピュータからアクセス要求があった場合、論理アドレスを物理アドレスに変換して、フラッシュメモリ部8のデータのアクセスを実行する。

【0022】図13に従来実施例のアドレス変換テーブルを、図14に従来実施例のブロック状態テーブルを示している。本従来例では、ブロック状態テーブルに、書き換え回数積算テーブルを包含している。

【0023】アドレス変換テーブルは、論理ブロックアドレスを物理ブロックアドレスに変換する場合、論理ブロックアドレスから物理ブロックアドレスを参照するテーブルである。アドレス変換テーブルは、すべての論理ブロックアドレスに渡って、論理ブロックアドレス順に対応する物理ブロックアドレスの番地が格納されている表で、揮発性メモリであるDRAMやSRAM等にて構成されている。動作は、論理ブロックアドレスの番地の

物理ブロックアドレスのデータを読み取り、このアドレスにしたがって、フラッシュメモリ部のデータをアクセスする。

【0024】ブロックの状態テーブルは、物理ブロックアドレス順に、上位30ビットに当該ブロックの書き換え回数の積算値を、下位2ビットに当該ブロックの現在の状態がフラグで格納されている。本従来例では、書き換え、つまり、ブロックの消去が発生するたびに書き換え回数の積算値が+4され、書き換え回数として+1回される。ブロックの状態は、消去済み、使用中、未消去、不良ブロックの状態を示す2ビットのフラグで示されている。これを読むことによって、該当ブロックが、不良ブロックであるか否かの判別ができる。

【0025】上記説明で用いた、アドレス変換テーブルの各論理ブロックアドレスや、各物理ブロックの状態フラグと書き換え回数は、パワーオンリセット時にフラッシュメモリ上の各ブロックの先頭セクタの冗長部から読み込み、それぞれのテーブル上に展開される。具体的には、各ブロックの先頭物理セクタの冗長部に、2バイトの論理ブロックアドレスデータと、4バイトの物理ブロックの状態データ（書き換え回数と状態フラグ）が格納されている。テーブルへ展開するため、フラッシュメモリ部の全物理ブロックの先頭のセクタを読み込み、冗長部のデータをテーブルへ展開するのである。ブロックの消去や新規アドレスへの書込みが発生した場合は、テーブルの更新と同時に、フラッシュメモリ部のこれらのブロックの先頭セクタの冗長部へ書き込みを実施する。

【0026】不良ブロックの検出方法は、当該ブロックへの、消去・書込み・読み出し動作を行う時点で検出する。一つの具体例として、当該ブロックへの書込み時点でのリードベリファイである。当該ブロックへ書き込まれたデータを再度読み出し、バッファメモリに残っているデータとの比較を行い、不一致であれば何らかのエラーが発生しているものと認識される。他の具体例は、書込み時に冗長ビットを付加し、読み出し時にそれ进行检查してデータの整合性を検査する方法で、ECC（エラー訂正コード）等がこれに相当する。また、フラッシュEEPROMチップの製品の中にエラー検出回路等が内蔵されている場合は、フラッシュEEPROMへの書込み・消去動作の後に、フラッシュEEPROM内のステータス信号を読み出すことによって該当ブロックの不良を知ることができる。

【0027】検出された不良ブロックは、ブロックの状態フラグが、不良ブロックの状態となり、上記説明のブロックの状態テーブル等に保存されている。動作中は、不良ブロックへのアクセスが禁止される。つまり、論理ブロックアドレス順にならべられたアドレス変換テーブルへの該当ブロックへの割付を禁止するように制御するのである。また、フラッシュメモリのブロックの不良は、前記説明のブロックアドレス単位に切り離しが可能

となっており、他のブロックへの波及が制限されている。

【0028】ここで、従来例におけるテーブルサイズとワークメモリサイズを、フラッシュメモリの容量4MB（メガバイト）と160MB（メガバイト）について見積もりする。尚、これらのメモリサイズは、半導体フラッシュメモリ装置のメモリ容量に比例する。

【0029】前提条件として、アドレス変換の単位をブロックアドレスとする。1物理ブロックは、16物理セクターである。1セクターは512バイトであるため、4MB（メガバイト）の容量では、500アドレス単位（500ブロック）、160MB（メガバイト）の容量では、20000アドレス単位（20000ブロック）である。アドレス変換テーブルは、1アドレス当たり、9ビットから14ビット必要になるため、通常のコンピュータが使用する単位では、2バイト、16ビットとなる。従って、4MBの装置では、1Kバイト、160MBの装置では、40Kバイトのアドレス変換テーブルが必要となる。

【0030】同様に、ブロック状態テーブルは、書き換え回数の仕様値の100万回を表すために、32ビットする。従って、4MBの装置の場合、2Kバイト、160MBの装置の場合、80Kバイト必要となる。両方のテーブルを合わせた量が、ワークメモリの容量であり、それぞれ、3Kバイト、120Kバイトとなる。

【0031】このように、ワークメモリのサイズは、半導体フラッシュメモリ装置の容量に比例して大きくなり、それに伴って、消費電力の増大、部品点数の増加、コストの増大につながる。テーブルを階層化または分割して、必要な領域のテーブルのみ作成して使用方法も考えられるが、制御が複雑になり、階層の移動に伴うオーバーヘッドも考慮する必要があり、大きなメリットは得られない。

【0032】

【発明が解決しようとする課題】本発明は、半導体フラッシュメモリ装置に係わり、特に書き換え回数に制限のある半導体フラッシュメモリ装置の書き換え回数の均一化と不良ブロックの代替えを、少ないワークメモリで安価に実現する方式を提供するものである。

【0033】更なる目的は、管理情報領域のデータ量の圧縮、管理情報の書き換え回数の低減、その結果、管理情報を一括管理することを可能とし、パワーオン時の管理情報のワークメモリへの展開に係わる立ち上げ時間の短縮が可能となることである。

【0034】

【課題を解決するための手段】本発明の原理について、図3を参照しながら説明する。

【0035】尚、従来例の説明において説明されたと同一部分または相当部分については同一符号を付し、本説明において新たに説明される部分については新しい符号

を付して説明する。

【0036】ホストコンピュータシステム（図示しない）に接続して用いられ、ブロック単位で、アドレス可能なタイプの半導体フラッシュメモリ装置において、電気的に書き込み・読み出し可能な不揮発性メモリからなり、管理情報部10、データ部と代替えデータ部13を内蔵しているフラッシュメモリ部8と、前記ホストコンピュータシステムと接続して、データの授受とアクセス要求を受け取るインタフェース部1と、揮発性のワークメモリにて構成され、前記フラッシュメモリ部8のデータや、前記ホストコンピュータから受信したデータを一時的に記憶しておくバッファメモリ部6と、論理ブロックアドレスに変位を与える第1の変換パラメータと、ブランク領域の位置を示す第2の変換パラメータを使って、論理ブロックアドレスを物理ブロックアドレスに一意的に演算して変換するアドレス演算部2と、揮発性のワークメモリにて構成され、前記アドレス演算部8に使用する前記2つの可変パラメータを格納するレジスタ部3と、揮発性のワークメモリで構成され、不良ブロックの物理ブロックアドレスとその代替えのブロックアドレスを対で格納する不良ブロックのアドレス参照テーブル5と、前記アドレス演算部2の出力である物理ブロックアドレスが、不良ブロックであるか否かを前記アドレス参照テーブル5を使って随時検査し、そのブロックアドレスが一致した場合は関連する代替えのブロックアドレスを出力するアドレス変換部4と、前記フラッシュメモリ部8の中の管理情報部10に一括して格納されている前記2つの可変パラメータと、複数の不良ブロックアドレス及びそれと対をなす代替えのブロックアドレスを前記レジスタ部3とアドレス参照テーブル5に展開する手段と、一定周期に、前記第2の変換パラメータを一定量減算し、同時に前記フラッシュメモリ13上の一定幅のデータとブランク領域のデータを交換する。また、前記第2の変換パラメータの値と前記第1の変換パラメータの値が一致する場合は、第1の変換パラメータの値をさらに一定量加算する。更に、一定周期毎に前記管理情報部10の管理データを更新する手段と、マイクロコントローラや相当のハードウェアロジックで構成され、ホストコンピュータからアクセス要求があった場合、論理ブロックアドレスを物理ブロックアドレスに変換して、前記フラッシュメモリ部8のデータ部13のアクセスを実行する制御手段7を具備することを特徴とする半導体フラッシュメモリ装置である。

【0037】

【作用】本発明に係わる半導体フラッシュメモリ装置及びその制御方法によれば、ホストコンピュータが指定する論理ブロックアドレスを2つの可変パラメータで物理ブロックアドレスに一意的に変換可能である。その結果、従来例で必要であった、全論理ブロックアドレスについての論理ブロックアドレス—物理ブロックアドレス

変換テーブル及び全物理ブロックアドレス毎の書き換え回数データテーブルが不要となる。

【0038】逆に追加されるテーブルは不良ブロックアドレスと代替えブロックアドレスの対になったアドレス変換テーブルのみとなり、テーブルの数が1つに削減される。またそのテーブルサイズは、不良ブロックの数に依存するため、ワークメモリが大幅に削減される。

【0039】管理情報部は、前記2つの可変パラメータとアドレス変換テーブルの2種類になる。前者は、パワーオン時等の一定周期毎の更新であり、後者は、不良ブロックの発生時に更新され、フラッシュメモリ部の管理情報領域への書き換え回数は、フラッシュメモリデータ領域の書き換え回数制限に比し十分低い回数に押さえることができる。

【0040】不良ブロックの発生は、最大で全物理ブロックアドレスの2%前後であり、管理情報のデータ量は、不良ブロックのアドレスとその代替えアドレスの対であり、十分少ない量であり、管理情報を不揮発性メモリであるフラッシュメモリ部へ一括して待避し、管理することが容易となる。

【0041】従来例では、管理情報がフラッシュメモリ部の各ブロックの先頭セクタの冗長部に分散されて記憶されていた。従って、パワーオンリセット時に、フラッシュメモリの全データ領域に渡って管理情報を読み取り、ワークメモリ上のテーブルに展開していた。本発明では、管理情報は、一括して、単一のブロックに格納されている。従って、パワーオンリセット時に、単一のブロックに格納されている管理情報を読み取り、ワークメモリ上に展開することによって、即座に動作可能である。従って、電源投入時の立ち上げ時間が大幅に短縮されることとなる。

【0042】また、ワークメモリの減少に伴い、そのデータ保持の電流を削減される。

【0043】

【発明の実施の形態】以下、図面を参照しながら、本発明の実施の形態について詳細に説明する。

【0044】図4に本発明の実施例のハードウェア構成図が示されている。半導体フラッシュメモリ装置100は、ホストコンピュータ（図示しない）の外部記憶装置の1つとして位置づけられる。

【0045】半導体フラッシュメモリ装置100は、マイクロコントローラ60、ワークメモリ70、インタフェース回路50、バッファメモリ6、メモリコントローラ80、複数のフラッシュメモリモジュール90から構成されている。内部バス40は半導体フラッシュメモリ装置100内の各部を相互に接続させるための共通信号伝送路であり、アドレスバス、データバス、コントロールバス等で構成されている。

【0046】インタフェース回路50は、ホストコンピュータとのインタフェースプロトコルを実現するための

回路であり、ホストコンピュータからの書き込みや読み出し等の実行命令（コマンド）を格納するコマンドレジスタ、データの授受をバッファするデータレジスタ、ホストコンピュータが指示するデータのアドレスである論理アドレスを一時的に格納するアドレスレジスタ（、半導体フラッシュメモリ装置100の状態やエラーの内容を通知するステータスレジスタ、エラーレジスタを含んでいる。これらのレジスタは、前記ホストコンピュータやマイクロコントローラ60が直接アクセス可能である。尚、これらのレジスタは図示していない。

【0047】また、インタフェース回路50は、IDE（Integrated Drive Electronics）またはPCMCIA ATA仕様に準拠しておりホストコンピュータシステムのISAバスまたはPCMCIAバスに相互接続している。

【0048】マイクロコントローラ60は、半導体フラッシュメモリ装置100全体の制御を行う中央コントローラです。主な制御は、ホストコンピュータからインタフェース回路50に書き込まれたコマンドを読み取り、フラッシュメモリ90への書き込みや、フラッシュメモリ90からの読み出し等の主要な動作を実行する。尚、マイクロコントローラ60は、内蔵するプログラムROM（図示しない）にしたがって動作している。また、論理ブロックアドレスから物理ブロックアドレスへの変換に関する演算と不良ブロックを代替えのブロックアドレスへの変換を実行する。また、後述する本発明の主要な手段について実行を制御する。具体例として、パワーオンリセット等の一定周期に、論理ブロックを物理ブロックに変換する際に使用する2つの可変パラメータの更新と部分データの移動を制御する。さらに、ブロックの状態を検査し、不良ブロックが発生した場合は不良ブロックのアドレス参照テーブルの更新を制御する。制御の詳細は、以降の実施例の説明を参照してください。

【0049】ワークメモリ70は、DRAMやSRAM等の不揮発性メモリで構成され、主にマイクロコントローラ60の作業領域として使われる。また、ワークメモリ70には、動作時に、論理ブロックアドレスを物理ブロックアドレスに演算して変換するのに使われるパラメータの一時保管や、不良ブロックのアドレスとその代替えブロックのアドレスのテーブルを格納している。

【0050】バッファメモリ6は、SRAMやDRAM等の揮発性メモリで構成され、ホストコンピュータとフラッシュメモリ90との間で転送されるデータの一時格納である。

【0051】メモリコントローラ80は、ロジック回路等で構成される専用のコントローラであり、フラッシュメモリ90へのアクセスを制御する。具体的には、ALE（アドレスラッチイネーブル）、CLE（コマンドラッチイネーブル）、複数のフラッシュチップを制御するためのCS（チップセレクト）信号の制御を行う回路が

組み込まれている。また、フラッシュメモリ90の冗長部にはECC（エラー訂正コード）が組み込まれており、フラッシュへのセクター単位の書き込み時に、このECCの生成、読み出し時のECCの検査、エラー判別等も、このメモリコントローラ80に組み込まれている。

【0052】フラッシュメモリ90は、ファイルやデータを不揮発に格納するための、半導体フラッシュメモリ装置100の主要な記憶部分である。フラッシュメモリ90は、複数のフラッシュ型EEPROMのチップにて構成される。64メガバイトのフラッシュメモリカード（半導体フラッシュメモリ装置の1つの形態）の場合の容量はこのフラッシュメモリ90の容量をさす。64MB（メガバイト）の容量では、32メガビットのフラッシュEEPROMのチップが16個で構成される。

【0053】また、フラッシュメモリ90は、メモリコントローラ80を介して、マイクロコントローラ60やワークメモリ70、バッファメモリ6、インタフェース回路50に、内部バス40で接続されている。

【0054】図6には、ホストコンピュータが外部記憶装置、特にHDDをエミュレーションしている場合の論理的なメモリ空間の構造を模式的に示している。この論理メモリ空間は、先ず「ブロック」という単位に分けられる。各ブロックは、論理メモリ空間上の先頭ブロックから順に絶対的な論理ブロックアドレスが連続的に割り振られている。各ブロックは、16個の論理セクタから構成される。各論理セクタは、論理メモリ空間の先頭セクタから順に絶対的な論理セクタアドレスが割り振られる。一つの論理セクタは512バイトのシーケンシャルデータとなっている。ホストコンピュータシステムは、論理セクタアドレスによって物理メモリ上のアクセス先を指定することができる。論理ブロックは、論理アドレスを物理アドレスに変換する場合の基本単位である。従って、論理セクタアドレスの5ビット目以上の上位ビットと論理ブロックのアドレスは一致することとなる。また、論理ブロックという概念は、本装置の制御のためのアドレス体系であり、ホストコンピュータはこれを感じない。

【0055】図5には、半導体フラッシュメモリ装置の物理的なメモリ空間の構造を模式的に示している。この物理メモリ空間は、論理メモリ空間と同様に、まず、「ブロック」という単位に分けられる。各ブロックには、物理メモリ空間上の先頭ブロックから順に、物理ブロックアドレスが連続的に割り振られている。

【0056】各物理ブロックは、16個の物理セクタから構成されている。また、各物理セクタは、物理ブロックと同様に、物理メモリ空間上の先頭物理セクタから順に、物理セクタアドレスが連続的に割り振られている。つまり、物理セクタアドレスの5ビット目以上のビット構成と、物理ブロックアドレスのビット構成が同じである。

【0057】本実施例で使われるフラッシュメモリチップは、ブロック単位で消去動作を行い、物理セクタ単位で書き込み・読み出し動作を行うようになっている。従って、消去は物理ブロックアドレス、書き込み、読み出しは物理セクタアドレスを指定することとなる。

【0058】1つの物理セクタは528バイト長であり、512バイトのデータ部と16バイトの冗長部という2つのフィールドからなる。データ部は、ホストコンピュータがアクセスするデータの実体書き込まれる。冗長部は、ECC（エラー訂正コード（Error Correction Code））が書き込まれる。エラー訂正コードとデータ部と一緒に読み出すことによって、データ部のエラーの有無と1ビット以上のエラー訂正が可能となる。

【0059】要するに、本実施例では、論理アドレス空間及び物理アドレス空間を、セクタというアドレスの最小単位だけでなく、ブロックと言うグループにまとめることによって、メモリ空間を管理している訳である。このような階層的な構造をとることによって、セクタという最小単位での書き込み、読み出しが可能である他に、物理ブロックの消去が、物理ブロックアドレスを指定することによって、直接アドレス可能である。また、フラッシュメモリの書き換え回数は、フラッシュメモリの消去の回数と同一であり、ブロックと言う単位は、フラッシュメモリの消去の単位である。従って、フラッシュメモリの書き換え回数の均一化を図るため、論理アドレスを物理アドレスに変換するアドレス単位ともなっている。

【0060】尚、ブロックやセクタというメモリ空間の階層化方法や、ブロックサイズ、セクタサイズ、及び、消去単位がブロックサイズであるかセクタサイズであるかは、本実施例の設計事項に過ぎず、本発明の要旨を直接的に限定するものではない。メモリ空間を他の様式で階層化した場合や各階層の物理サイズが異なる場合であっても、本発明を好適に実現できる点を理解されたい。

【0061】従来例で説明した通り、ホストコンピュータシステムでは、ファイルやデータの入出力は、オペレーティングシステム内のファイルシステムによって制御される。ファイルシステムによれば、アプリケーションによるアクセス先が局所に集中する傾向にある。一方、フラッシュメモリの各物理セクタの書き換え回数は制限があり、均一化することによって、装置の寿命を伸ばすことができる。

【0062】図7に論理メモリ空間を物理メモリ空間にマッピングする場合の模式図を示している。マッピングは、ブロックアドレス単位で行われるため、以降の説明では、アドレスの単位は全てブロックアドレスとする。同図において、論理ブロックアドレス空間は、ホストコンピュータに開放しているアドレス空間の他に、仮想的

に割り当てる代替ブロックのアドレス空間を連続したアドレス上に持ち、不良ブロックの代替えを効率的に実施できる構造である。

【0063】また、物理アドレス空間は、論理アドレス空間と同一容量のデータ部と代替えデータ部を持っている。その他に特別にブランク領域を持っている。このブランク領域の幅は、単一のブロック、もしくは複数のブロックから構成される。これらの3つの領域は、移動するため、物理アドレスが固定されることはない。また、物理アドレス空間は、論理アドレス空間より、ブランク領域だけ大きくなる。

【0064】物理ブロックアドレス空間上に、上記説明以外に管理情報領域がある（図示しない）。管理情報領域は、物理アドレス空間上の最後尾の単一、または複数の物理ブロックが使用され、不良ブロックのアドレス変換テーブルに展開される不良ブロックアドレスと代替えブロックアドレスのデータや論理アドレス—物理アドレス変換に使われる2つの可変パラメータ、その他、不良ブロックの個数や、新規に不良ブロックが発生した場合に代替えのブロックを充当するための空きの代替えブロックのアドレス位置を示すパラメータが一括して格納されている。

【0065】本発明におけるアドレス変換に係わるマッピングの概念を、図7を使って説明する。同図によれば、論理ブロックアドレスの先頭番地は、物理ブロックアドレスのスタートアドレス、つまり請求項に述べられている第1の可変パラメータで指定するアドレスに設定される。また、物理ブロックアドレス上には、一定幅のブランク領域が存在する。このブランク領域を指し示すアドレスがブランクアドレスであり、このアドレスが同様に請求項に述べられている第2の可変パラメータの値である。マッピングは、論理ブロックアドレスを、物理ブロックのスタートアドレス番地から連続して展開するものである。途中に、ブランク領域があれば、その領域を飛び越えて、マッピングするものである。また、物理ブロックの最大アドレスを超える論理ブロックについては、物理ブロックの0番地から連続してマッピングする。

【0066】また、同図に示すように、論理ブロックアドレスは、ホストコンピュータに開放しているアドレス領域の他に、使用済みと未使用の2つの代替えブロック領域が仮想的に設けられている。この領域についても同様に論理ブロックアドレスを物理ブロックアドレスへマッピングするものとする。新規に発生した不良ブロックは、未使用の代替えのブロックを示すアドレスの指標位置から振り当てていくものとする。

【0067】アドレス演算部は、論理ブロックアドレスを物理ブロックアドレスに演算して変換する部分である。変換は、マイクロコントローラが、論理ブロックアドレスを読み込み、演算して出力するものとする。実際

のアドレス演算の模式図を、図8に示している。同図に示す通り、最初にスタートアドレスとブランクアドレスの指し示すアドレスの相対位置関係から計算が変わってくる。スタートアドレスよりブランクアドレスが大きい場合、スタートアドレスからブランクアドレスまでの領域は計算式1が適用される。同様に、それ以上のアドレスでは計算式2が適用される。また、最大物理ブロックアドレス以上では、計算式3が適用される。また、スタートアドレスがブランクアドレスより小さい場合も同様に、同図に示す計算式4、計算式5、計算式6が適用される。

【0068】ここで

スタートアドレス = a

ブランクアドレス = b

最大物理ブロックアドレス = z

ブランク幅 = m

論理ブロックアドレス = x

物理ブロックアドレス = y と仮定するとそれぞれの条件と計算式は以下の通りとなる。

【0069】

条件1: $(a < b)$ かつ $(x \leq (b - a))$

計算式1: $y = x + a$

条件2: $(a < b)$ かつ $((b - a) < x \leq (z - a - z))$

計算式2: $y = x + a + m$

条件3: $(a < b)$ かつ $(x > (z - a - z))$

計算式3: $y = x + a + m - z$

条件4: $(a > b)$ かつ $(x \leq (z - a))$

計算式4: $y = x + a$

条件5: $(a > b)$ かつ $((z - a) < x \leq (z - a + b))$

計算式5: $y = x + a - z$

条件6: $(a > b)$ かつ $(x > (z - a + b))$

計算式6: $y = x + a - z + m$

また、マイクロコントローラ等にて論理ブロックアドレスを物理ブロックアドレスに演算して変換する場合のフローチャートを図9に示している。この例では、最大6回の条件判別とアドレス演算を実行している。演算途中のデータはマイクロコントローラの内部レジスタに保存され続けることとする。

【0070】アドレス演算のスタートは、論理ブロックアドレスに、スタートアドレスを加算し、結果を保持します（ステップS201）。

【0071】次に、スタートアドレスとブランクアドレスを比較します（ステップS202）。この演算は、事前に計算しておくことができます。スタートアドレスがブランクアドレスより小さい場合は、ステップS203を実行します。逆に、スタートアドレスがブランクアドレスより大きい場合はステップS208を実行します。

【0072】ステップS201の計算結果がブランクア

ドレスより小さい場合、物理ブロックアドレスはステップ201の計算結果となります(ステップS207)。ここで処理が終了。逆に、ステップS201の計算結果がブランクアドレスより大きい場合は、ステップS201の計算結果にブランクの幅を加算し、結果を保存し、次をステップS205を実行します。

【0073】ステップS204の計算結果が、最大物理ブロックアドレス以内の場合、物理ブロックアドレスはステップS204の結果となります(ステップS207)。ここで処理が終了。逆に、ステップS204の計算結果が最大物理ブロックアドレス以上の場合、物理ブロックアドレスは、ステップS204の計算結果に最大物理ブロックアドレスが減算された値となります(ステップS206)。ここで処理が終了。

【0074】次に、ステップS208では、ステップS201の計算結果が最大物理ブロックアドレスより小さい場合、物理ブロックアドレスはステップS201の計算結果となります(ステップS207)。ここで処理が終了。逆に、ステップS201の計算結果が最大物理ブロックアドレスより大きい場合は、ステップS201の計算結果に最大物理ブロックアドレスを減算し、結果を保存し、ステップS210を実行します(ステップS209)。

【0075】次のステップS210では、ステップS209の計算結果が、ブランクアドレス以内の場合、物理ブロックアドレスはステップS209の計算結果となります(ステップS207)。ここで処理が終了。逆に、ブランクアドレス以上の場合、物理ブロックアドレスは、ステップS209の計算結果にブランクの幅が加算された値となります(ステップS211)。ここで処理が終了。

【0076】図10に物理メモリ空間上の論理ブロック番地のマッピングの推移を説明します。同図では、左から工場出荷時の初期状態、使用中の途中の状態、パワーオンリセット時等の一定周期に可変パラメータが1回更新された後の状態が示されている。

【0077】工場出荷時の初期状態では、スタートアドレスが物理ブロックアドレスの0番地に設定されている。従って、論理ブロックが、物理ブロックの先頭ブロックから順に連続して展開されている。ブランクは、物理ブロックアドレス空間の最後尾に設置されている。前記一定周期毎の更新が行われると、ブランクアドレスは一定幅下降する。同時に、ブランクとブランクアドレスの直前のデータが交換される。また、ブランクアドレスとスタートアドレスが一致すると、スタートアドレスが一定幅増加する。この一定幅は、ブランクの幅と同容量である。

【0078】同図の真中に、使用中の途中の状態が示されている。併せて、同図の左側に上記途中状態から1回だけ一定周期毎の可変パラメータが更新された状態が示

されている。同図に示すように、論理番地32の次にあるブランクが一定幅だけ下降しており、論理番地32のデータとブランクが交換されることになる。

【0079】このように、ブランクは、一定周期毎に、一定幅下降し、ブランクアドレスも移動する。ブランクアドレスが移動して、スタートアドレスと一致した場合は、スタートアドレスを一定幅上昇させることになる。ここで、ブランクの移動方向は、下降であるが、上昇として制御すれば、ブランクアドレスはそれに伴って上昇し、ブランクアドレスとスタートアドレスが一致した場合、スタートアドレスは、逆に下降するように制御していく。同図での説明では、ブランクの幅は1ブロックアドレスである。

【0080】このように、ブランクアドレスが全物理ブロックアドレス空間を1巡すると、スタートアドレスは1回更新され、これを繰り返して、スタートアドレスが、全物理ブロックアドレス空間を1巡することとなる。この間に、ホストコンピュータからのアクセス要求にしたがって、フラッシュメモリ上のデータの書換えが行われていく。

【0081】図10に示される論理番地32に着目して推移を追ってみると、ブランクアドレスが1巡する間に、隣の物理ブロックにデータを伴って移動している。スタートアドレスが1巡する間に、論理ブロックの論理番地32は、すべての物理ブロックを、一定期間アクセスするようになっている。このことは、すべての論理番地に共通して言えることである。つまり、各物理ブロック番地は、すべての論理ブロック番地を、一定期間アクセスしてきたことになり、各論理ブロックの偏重したアクセス回数を物理ブロック上で均一化したことになる。

【0082】これまでの説明では、論理ブロックアドレスを物理ブロックアドレスに一意的に変換し、物理ブロックへの書き換え回数の均一化を説明してきた。ここでは、物理ブロックが不良となった場合の実施例について説明する。不良ブロックの検出は、従来例でも説明した通り、ECC回路による検出、フラッシュチップのステータス信号の読み込みと判別、リードベリファイによって不良ブロックを検出可能である。

【0083】検出された不良ブロックは、それぞれに、代替えのブロックが割り当てられる。これらの不良の物理ブロックアドレスと代替えのブロックアドレスは対で、アドレス参照テーブルに格納される。また、同テーブルと同一のデータを保存しているフラッシュメモリ部の管理情報部のデータを更新する。パワーオンリセット等で、システムが起動された場合は、フラッシュメモリ部の管理情報部から、揮発性メモリで構成される不良ブロックのアドレス参照テーブルに戻される。

【0084】ホストコンピュータが、フラッシュメモリへアクセスする場合、まず、論理ブロックアドレスを物理ブロックアドレスに演算して変換する。次に、この物

理ブロックアドレスを不良ブロックのアドレス参照テーブルのすべての不良ブロックのアドレスと比較し、一致する場合は、テーブルに格納されている代替のブロックアドレスを使ってアクセスするように制御される。

【0085】この場合、代替のブロックアドレスは、仮想領域の論理ブロックアドレスであり、再度、論理ブロックアドレスを物理ブロックアドレスに演算して変換する。このことにより、代替のブロックについても、書き換え回数の均一化が容易に達成されるものである。

【0086】図11に、不良ブロックのアドレス参照テーブルを示している。このアドレス参照テーブルは、不良ブロックのブロックアドレスと代替のブロックアドレスが対応格納されている。また、検索を早くするため、物理ブロックのアドレス順にソートされている。制御は、バイナリソート等の手法で、先頭から、不良ブロックのアドレスデータの最後までの間を、高速に検索できます。テーブルのサイズは、不良ブロックの発生量に依存するが、通常正常ブロックの2%前後である。したがって、論理アドレス—物理アドレス変換テーブルを作成するよりテーブルサイズの大幅な縮小が可能となる。

【0087】従来例で示したワークメモリサイズの見積もりと同一条件での見積もりを実施してみる。ワークメモリのサイズは、容量によって変わるため、4MBと160MBでワークメモリの容量を見積もりする。

【0088】それぞれのブロックアドレスのサイズは、500アドレスと20000アドレスとなる。最大の不良ブロック数は、全ブロックの2%と設計すると、それぞれの不良ブロックアドレステーブルの数は、10ブロックと400ブロックとなる。不良ブロックのアドレスと、その代替アドレスはそれぞれ2バイトで構成されるため、テーブルのサイズは、それぞれ、40バイトと1600バイトとなる。従来例と比較して、約50分の1程度に削減されている。これ以外に、不揮発性メモリであるフラッシュメモリ部の管理領域に保存すべきデータは、第1の変換パラメータと第2の変換パラメータ、その他に、未使用の代替ブロックの先頭アドレスを示すポインター、不良ブロック個数を表すパラメータの4種であり、合わせて8バイト程度である。

【0089】

【発明の効果】上記の説明から明らかなように、従来例で必要であった、論理アドレスを物理アドレスに変換するアドレス変換テーブルや、物理ブロックの書き換え回数の積算値のテーブルが、単純に2つの可変パラメータに置き換えることができ、ワークメモリのサイズが約50分の1に削減できる。

【0090】また、不揮発性メモリへの待避が必要な管理情報の量が大幅に削減され、管理情報のデータの更新は、パワーオンリセット等の一定周期や、不良ブロックの発生した時点に限られた時期、回数であるため、フラッシュメモリ上に一括的に管理することが可能となる。それ

に伴って、従来例では、フラッシュメモリ上の冗長部に分散して格納している管理情報を読み取ることに比べ、一括管理されている管理情報を指定のブロックから読み取ることで、パワーオン時の管理情報をワークメモリ上に展開する時間、つまり初期化に係わる時間の短縮が図られる。

【0091】また、ワークメモリの削減は、ワークメモリのデータ保持に係わる消費電力の低減とワークメモリに係わるコストの削減につながってくる。

【図面の簡単な説明】

【図1】本発明に係わる一実施例を示すブロック図。

【図2】本発明に係わる一実施例を示すブロック図。

【図3】本発明に係わる一実施例を示すブロック図。

【図4】本発明に係わる一実施例を示すハードウェア構成図。

【図5】本発明に係わる物理的なメモリ空間の説明図。

【図6】本発明に係わる論理的なメモリ空間の説明図。

【図7】本発明に係わるメモリ空間に関し、ブロックアドレスのマッピングの説明図。

【図8】本発明に係わるアドレス演算の模式図。

【図9】本発明に係わるアドレス演算のフローチャート。

【図10】本発明に係わる物理ブロック空間上の論理ブロック番地の推移図。

【図11】本発明に係わる不良ブロックのアドレス参照テーブルの説明図。

【図12】従来の実施例を示すブロック図。

【図13】従来実施例のアドレス変換テーブル図。

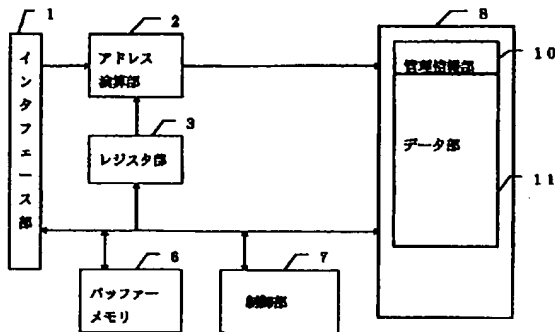
【図14】従来実施例の状態テーブル図。

【符号の説明】

- 1 インタフェース部
- 2 アドレス演算部
- 3 レジスタ部
- 4 アドレス変換部
- 5 アドレス参照テーブル
- 6 バッファメモリ部
- 7 制御部
- 8 フラッシュメモリ装置
- 10 管理情報部
- 11 データ部
- 12 代替エリア
- 12 データ部+代替エリア
- 20 アドレス変換部（従来例）
- 21 テーブル（従来例）
- 25 ブロック状態テーブル
- 26 書き換え回数参照テーブル
- 27 アドレス参照テーブル
- 50 インタフェース回路
- 60 マイクロコントローラ
- 70 ワークメモリ

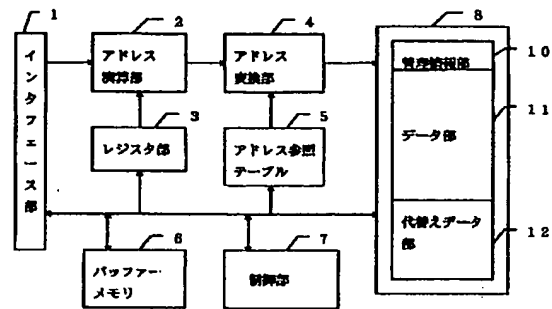
80 メモリコントローラ

【図1】

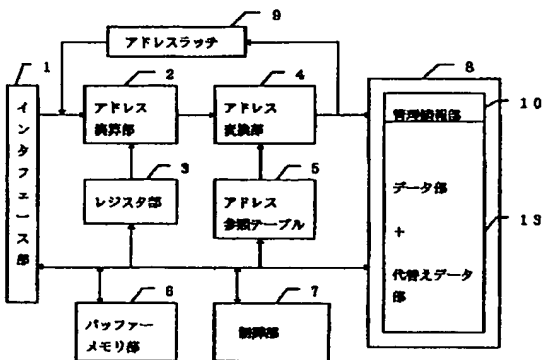


90 フラッシュメモリ

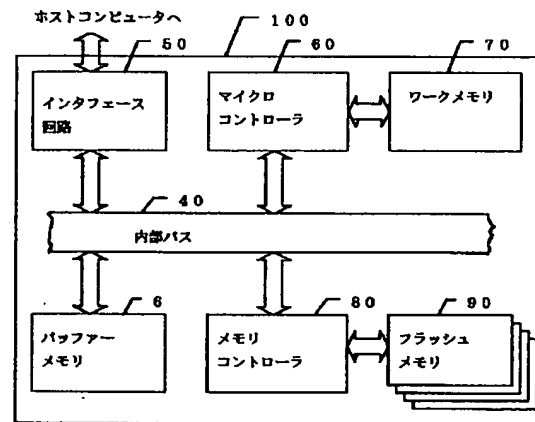
【図2】



【図3】



【図4】



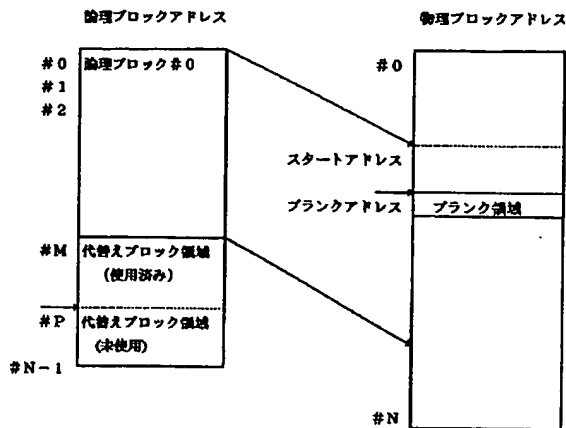
【図5】

物理ブロックアドレス空間		物理セクタ	
		0	527
#0	物理ブロック#0	#0	データ部
		#1	データ部
		:	:
#1	物理ブロック#1	#15	データ部
		#16	データ部
		#17	データ部
:	:	:	:
		#31	データ部
		#32	データ部
#N	物理ブロック#N	#33	データ部
		:	:
		#nn	データ部

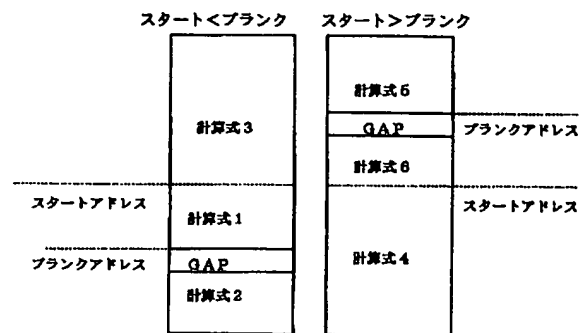
【図6】

論理ブロックアドレス空間		論理セクタ	
		0	511
#0	論理ブロック#0	#0	データ部
		#1	データ部
		:	:
#1	論理ブロック#1	#15	データ部
		#16	データ部
		#17	データ部
:	:	:	:
		#31	データ部
		#32	データ部
#M	論理ブロック#M	#33	データ部
		:	:
		#mm	データ部

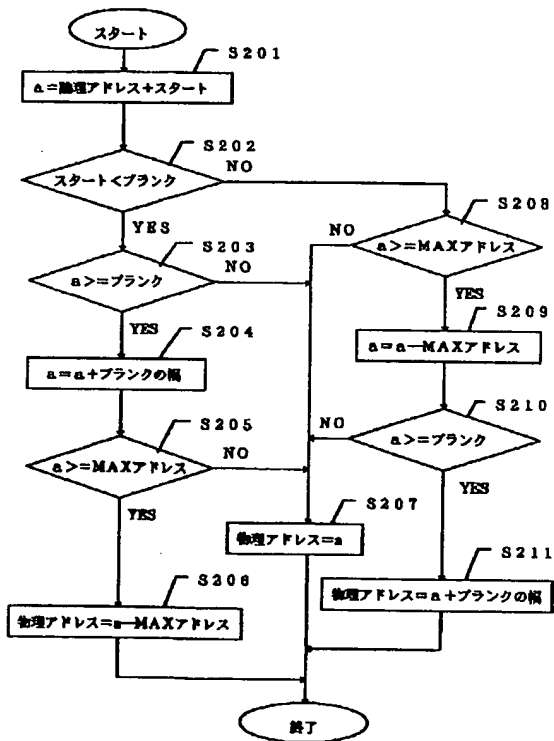
【図7】



【図8】



【図9】



【図10】



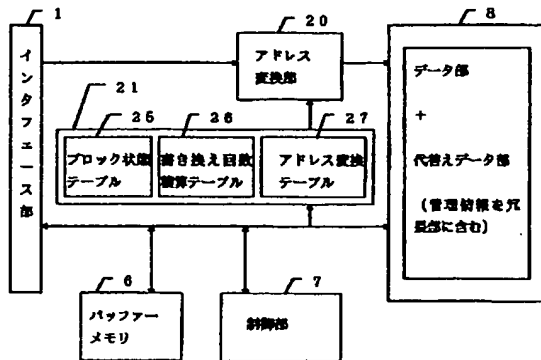
【図11】

	15	0	15	0
アドレス #0	物理ブロックアドレス #7	代替論理ブロックアドレス #		
アドレス #1	物理ブロックアドレス #9	代替論理ブロックアドレス #		
アドレス #2	物理ブロックアドレス #12	代替論理ブロックアドレス #		
:	:	:		
アドレス #P-1	物理ブロックアドレス #157	代替論理ブロックアドレス #		
アドレス #P	空	空		
:	:	:		
アドレス #W-1	空	空		

【図13】

	15	0
論理ブロックアドレス #0	物理ブロックアドレス #11	
論理ブロックアドレス #1	物理ブロックアドレス #23	
:	:	
論理ブロックアドレス #M-1	物理ブロックアドレス #63	

【図12】



【図14】

	31	2	1	0
物理ブロックアドレス#0	書き換え回数#0		状態フラグ#0	
物理ブロックアドレス#2	書き換え回数#1		状態フラグ#1	
	:		:	
物理ブロックアドレス#N-1	書き換え回数#N-1		状態フラグ#N-1	

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.